

KOREAN PATENT ABSTRACTS (KR)

Document Code: A

(11) Publication No.: 1998-81100

(43) Publication Date: 19981125

(21) Application No.: 1998-11982

(22) Application Date: 19980404

(51) IPC Code: G02F 1/136

(30) Priority: 9706942.1 19970404 GB

(71) Applicant(s): SHARP KK (JP)

(72) Inventor(s): CAIRNS GRAHAM ANDREW
BROWNLOW MICHAEL JAMES
KAY ANDREWHANARI JUN

(54) Title of Invention:

ACTIVE MATRIX DEVICES

ABSTRACT

An active matrix device comprises a data line driver circuit for sampling the input signal to produce data signals for each of the rows of control elements in a corresponding line period, and a scan line driver circuit for addressing the scan lines sequentially by applying a scan signal to the scan inputs of the control elements along each of the rows so as to supply the data signals to the control elements along the row. Such circuits are controlled so that a data input signal is sampled and stored to produce data signals for a first group of the control elements along the row in a first line sub-period and the stored data signals are applied to the first group of control elements in a second line sub-period, and so that the data input signal is sampled and stored to produce data signals for a second group of control elements along the row in the second line sub-period and the stored data signals are applied to the second group of control group of control elements in a subsequent line sub-period.

Best Available Copy

출력 일자: 2002/3/30

발송번호 : 9-5-2002-010909456
발송일자 : 2002.03.29
제출기일 : 2002.05.29

수신 : 서울 강남구 역삼1동 649-4 한덕빌딩 2층
김영호 귀하

135-912

특허청 의견제출통지서

출원인 명칭 엘지전자주식회사 (출원인코드: 119980002758)
주소 서울시영등포구여의도동20번지
대리인 성명 김영호
주소 서울 강남구 역삼1동 649-4 한덕빌딩 2층
출원번호 10-2000-0020795 1143
발명의 명칭 비대칭 시스템을 이용한 플라즈마 디스플레이 패널의구동방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원발명은 플라즈마 디스플레이 패널에서 화면을 상하측으로 나누어 구동하는 장치 및 방법에 관한 것으로, 화면을 나누어 구동함으로써 스캐닝시간이 줄어들고, 고속으로 어드레싱을 할 수 있으며, 또한 화면의 휘도를 향상시킬 수 있는 작용효과가 있다고 하나,

본원발명과 같이 화면을 나누어 구동하는 방법은 이미 LCD 및 기타 표시장치 분야에서 종래부터 널리 사용되어 오던 공지의 기술이며(인용예1: 대한민국 특허 공개번호 98-81100), 또한 플라즈마 디스플레이 분야에서도 널리 인용예2(대한민국 공개번호 99-70803:99.9.15.)에서도 화면을 복수개로 분할하여 구동하는 기술에 대하여 이미 소개된 바 있어, 본원발명의 화면을 분할하여 구동하는 방법은 당업자가 인용예1과 인용예2를 결합하여 용이하게 발명할 수 있는 것으로 판단됩니다.

[첨부]

첨부 1 인용예1
첨부2 인용예2 끝.

2002.03.29

특허청 심사4국

전자 심사담당관실

심사관 김준한



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵

G02F 1/136

(11) 공개번호 특1998-081100

(43) 공개일자 1998년 11월 25일

(21) 출원번호 특1998-011982

(22) 출원일자 1998년 04월 04일

(30) 우선권주장 9706942.1 1997년 04월 04일 영국(GB)

(71) 출원인 샤프가부시끼가이샤 쓰지하루오

(72) 발명자 일본 오사까후 오사까시 아베노구 나가이쵸 22방 22고
케언즈그레이엄앤드류

영국 오엑스2 8엔에이치 옥스포드 컷슬로우 번 클로уз 22

브라운로우마이클제임스

영국 오엑스4 4와이비 옥스포드 샌드포드 온 템즈 처치 로드 124

카이앤드류

영국 오엑스4 1에이치에이 옥스포드 허스트 스트리트 99

(74) 대리인 이상희, 구영창, 주성민

심사청구 : 있음

(54) 액티브 매트릭스 소자

요약

액티브 매트릭스 소자는 입력 신호를 샘플링하여 대응하는 라인 주기에 각 행의 제어 소자용 데이터 신호를 발생시키는 데이터 라인 구동 회로, 및 상기 데이터 신호를 상기 행 상의 제어 소자에 공급하도록 각각의 행 상의 제어 소자의 주사 입력부에 주사 신호를 순차적으로 인가함으로써 주사선을 어드레싱하는 주사선 구동 회로를 포함한다. 이러한 회로는, 제1 라인 부주기에 행 상의 제1 그룹의 제어 소자용 데이터 신호를 발생시키도록 데이터 입력 신호가 샘플링되어 저장되고, 제2라인 부주기에 상기 저장된 데이터 신호가 제1 그룹의 제어 소자에 인가되도록 제어되며, 제2 라인 부주기에 행 상의 제2 그룹의 제어 소자용 데이터를 발생시키도록 데이터 입력 신호가 샘플링되어 저장되고, 후속 라인 부주기에 상기 저장된 데이터 신호가 제2 그룹의 제어 소자에 인가되도록 제어된다.

도면

도1

도2

도면의 관상과 설명

- 도 1은 종래의 AMLCD(active matrix liquid crystal display)를 도식적으로 도시한 도면.
도 2 및 도 3은 종래의 1 회 1 점(point-at-a-time) 데이터 라인 구동 회로 및 대응하는 타이밍도를 도시한 도면.
도 4 및 도 5는 종래의 1 회 1 라인(line-at-a-time) 데이터 라인 구동 회로 및 대응하는 타이밍도를 도시한 도면.
도 6은 스플릿(split) 주사선 구동 스킴(scheme)을 사용하는 종래의 AMLCD를 도식적으로 도시한 도면.
도 7 및 도 8은 본 발명의 제1 실시예에 따른 AMLCD 및 대응하는 타이밍도를 도시한 도면.
도 9 및 도 10은 본 발명의 제2 실시예에 따른 AMLCD 및 대응하는 타이밍도를 도시한 도면.
도 11은 본 발명과 함께 사용하는 간단화된 아날로그 데이터 라인 구동 회로를 도시한 도면.
도 12는 본 발명과 함께 사용하는 간단화된 디지털 데이터 라인 구동 회로를 도시한 도면.
도 13은 SSYNC 신호 발생용 회로 배치 및 대응하는 타이밍도를 도시한 도면.
도 14 내지 도 16은 본 발명과 함께 사용할 수 있는 주사선 구동 회로를 도식적으로 도시한 도면.
도 17은 본 발명과 함께 사용할 수 있는 화소 레이아웃을 도시한 도면.
도 18 및 도 19는 본 발명의 제3 실시예에 따른 AMLCD 및 대응하는 타이밍도를 도시한 도면.
도면의 주요 부분에 대한 부호의 설명

- 40 : AMLCD
- 41 : 주사선
- 42 : 주사선 구동 회로
- 43 : 데이터 라인
- 44 : 데이터 라인 구동 회로
- 45 : 좌측 뱅크
- 46 : 스위치
- 47 : 우측 뱅크
- 48 : 스위치
- 49 : 라인 메모리

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 소자에 관한 것으로서, 특히(배타적이지는 않음) 액티브 매트릭스 액정 디스플레이(AMLCD)용 구동 회로에 관한 것이다.

본 발명은, 예를 들어, 절연 기판상의 실리콘(SOI) 기술을 사용하는 박막 트랜지스터(TFT)의 형태로 디스플레이 기판상에 집적되거나 개별 대규모 집적(LSI) 구동칩에 이행되는 AMLCD의 구동 회로에 관한 것이다. 또한, 본 발명은 아날로그 RGB 비디오 데이터를 공급받는 아날로그 디스플레이, 또는 디지털-아날로그(D/A) 변환기를 포함하며 완전 디지털 인터페이스를 갖는 디지털 디스플레이에 적용될 수 있다.

도 1은 주사선 구동 회로(3)에 접속된 주사선(2)과 데이터 라인 구동 회로(5)에 접속된 데이터 라인(4)에 의해 어드레스 가능한 N 행 M 열의 화소로 이루어진 통상의 AMLCD(1)를 도시한다. 데이터 전압은 데이터 라인 구동 회로(5)에 의해 데이터 라인에 인가되고 주사 전압은 주사선 구동 회로(3)에 의해 주사선(2)에 인가되며, 이러한 전압들이 조합하여 아날로그 데이터 전압을 화소 전극(6)에 인가하도록 작용함으로써, 주기적으로 반복되는 시퀀스에서 각각의 행들이 주사됨에 따라 각각의 행 상의 화소의 광학적 전송 상태를 제어한다. 이와 같은 제어는 다음과 같이 하나의 행의 화소에 대해 이루어진다. 데이터 라인 구동 회로(5)는 화소 행에 의해 표시될 한 라인의 데이터를 판독하고 대응하는 데이터 전압을 데이터 라인(4)에 인가하여 각각의 데이터 라인(4)을 원하는 데이터 전압까지 충전한다. 제어될 화소 행에 대응하는 주사선(2)은 주사선 구동 회로(3)에 의한 주사 전압의 인가에 의해 활성화되며, 각 화소와 연관된 TFT(7)가 온되어 대응하는 데이터 라인(4)으로부터 화소와 연관된 화소 축적 캐패시터(8)(도면에 점선으로 도시한 바와 같이)까지 전하를 전송하게 한다. 주사 전압이 제거되면, TFT(7)는 화소 축적 캐패시터(8)를 데이터 라인(4)으로부터 격리하며, 다음 주사 프레임 동안 화소가 리프레시될 때 까지 화소의 광학적 전송 상태가 화소 축적 캐패시터(8) 양단의 전압에 대응하게 한다. 행들이 리프레시되어 한 프레임의 디스플레이 데이터의 리프레싱을 완료할 때 까지 화소 행들은 한 번에 하나씩 리프레싱된다. 그 후, 다음 프레임의 데이터에 대해서도 이러한 처리가 반복된다.

아날로그 디스플레이의 경우, 디스플레이 데이터는 디스플레이의 해상도와 프레임 속도에 의거하는 주파수에서 샘플링되는 아날로그 비디오(AVVIDEO) 신호의 형태로 데이터 라인 구동 회로에 공급되며, 샘플링 주파수(화소 데이터 속도라고도 함)는 f_{NM} 과 동일하다(f 는 디스플레이의 프레임 속도임).

소형 또는 저 화소 해상도의 아날로그 디스플레이의 경우, 도 2에 도시한 바와 같이, 통상 1 회 1 점 데이터 라인 구동 회로(10)가 데이터 라인 구동 회로용으로 사용된다. 이 회로(10)에서, D형 플립 플롭의 체인으로 이루어진 샘플링 시프트 레지스터(11)는, 각각의 플립 플롭의 출력이 연관된 샘플링 트랜지스터(12)의 게이트를 제어하며 도면의 13에서 점선으로 도시한 연관된 기생 캐패시터를 갖는 대응하는 데이터 라인(4)에 AVVIDEO 신호를 인가하게 하도록 접속된다. 이러한 1 회 1 점 구동 스킴의 주요 특징은, 샘플링 트랜지스터(12)가 데이터 라인(4)에 직접 접속된다는 점이다. 작동시, 프레임 및 라인 동기화 펄스(VSYNC(도시 생략) 및 HSYNC)는 각각 프레임 주기 및 라인 주기의 시작을 나타내며, 샘플링 주파수에서의 클럭 신호(CK)는 플립 플롭의 클럭 입력부에 인가되며, 시프트 레지스터내의 순회 1 상태가 샘플링 주파수에서 샘플링 트랜지스터(12)를 순차적으로 활성화시키게 한다. 샘플링 트랜지스터(12)와 데이터 라인(4)의 저항(수천 옴의 저항을 가질 수 있음) 및 데이터 라인의 분포 캐패시터(총 수십 피코파라드에 달할 수 있음)에 의해 형성된 RC 시간 상수는 성공적으로 수행되는 샘플링인 경우의 유효 샘플링 주기($1/f_{NM}$) 보다 충분히 적어야 한다.

도 3은 이러한 1 회 1 점 데이터 라인 구동 회로와 연관된 신호의 타이밍을 도시하는 타이밍도이며, 여기서 S1, S2 및 S3는 디스플레이의 상부로부터 번호가 부여된 최초 세 개의 주사선에 인가된 주사 전압을 지칭한다. 주사 전압(S1, S2, S3)에 의해 연속하는 주사선 주기(T1, T2 -)에 주사선들이 활성화될 때 데이터 전압이 화소에 인가됨과 동시에 AVVIDEO 신호가 샘플링되며, 이러한 주사 전압은 HSYNC 펄스에 의해 동기화됨을 주목한다. 그러나, 행의 각 화소와 연관된 TFT가 온 상태인 동안 그 행에 대한 데이터가 데이터 라인(4)상으로 샘플링되므로, 디스플레이의 우측의 화소는 샘플링된 전압에 의해, 라인 주기 보다 훨씬 적은 유효 주사 시간 동안 충전될 것이다. 실제로, 최악의 경우, 유효 주사 시간은 HSYNC

펄스 주기 보다 적을 것이다.

대형 또는 고 화소 해상도의 아날로그 디스플레이의 경우, 데이터 라인은 캐패시턴스 및 저항 면에서 보다 강하며, 샘플링 트랜지스터가 데이터 라인을 직접 충전하기에는 유효 샘플링 주기($1/f_{NM}$)가 너무 작으므로, 샘플링은 버퍼링되어야 한다. 아날로그 디스플레이의 경우, 매우 신속히 충전 또는 방전될 수 있는 소형 캐패시터가 데이터 구동 회로의 각각의 열내에 위치되어 VIDEO 신호의 샘플을 저장할 수 있다. 그러나, 이러한 전송 동작은 수 마이크로초를 소요하므로, 이것은 다시 디스플레이의 우측 화소를 주사하는데 이용할 수 있는 시간을 구속하게 된다.

도 4a는 통상의 아날로그 1 회 1 라인 데이터 라인 구동 회로(20)를 도시하는 것으로서, 이것은 버퍼식 샘플링의 경우에 더욱 흔히 사용되며, 회로(20)는 앞에서와 같이 D형 플립 플롭의 체인을 포함하는 샘플링 시프트 레지스터(11)를 포함하지만, 플립 플롭의 출력부는 두 세트의 용량성 메모리 소자(21, 22) 및 데이터 라인 구동용 라인 구동기(23)를 포함하는 샘플링 회로에 접속된다. 도 4b 및 도 4c에는 다음에 더욱 상세히 설명하는 바와 같이, 두 세트의 메모리 소자가 각각의 데이터 라인용으로 두 개의 캐패시터(25, 26 또는 27, 28) 및 연관된 스위치(25A, 26A 또는 27A, 27B, 28A, 28B)를 포함하며 라인 구동기가 각각의 데이터 라인용으로 버퍼(29 또는 30)를 포함하고 있는 데이터 라인 구동 회로(20)에 대한 두 가지 방식의 회로 배치를 도시한다.

도 5는 이러한 1 회 1 라인 데이터 라인 구동 회로에 대한 타이밍 회로를 도 3의 1 회 1 점 데이터 라인 구동 회로의 타이밍 회로와 비교하여 도시한다. 1 회 1 라인 구동 스킴의 주요 특징은, 라인 주기(T1) 동안 라인 전체의 데이터가 샘플링된 후에만 주사선이 활성화되며, 다음 전체 라인 주기(T2)는 다음 행의 화소를 위한 데이터의 샘플링 뿐만 아니라 화소에 대한 데이터의 주사용으로도 사용되는 점이다. 샘플링과 데이터 라인 구동은 동시에 발생할 수 없으므로, 각각의 샘플링 회로는 도 4a에 도시한 바와 같이 두 세트의 메모리 소자(21, 22)를 포함한다. 도 4b의 제1 회로 배치에서, 각각의 캐패시터(25)는 한 라인의 데이터에서의 대응하는 점을 샘플링하기 위해 사용되며, 그 전하는 캐패시터(26)와 공유된다. 이어서, 캐패시터(26) 및 버퍼(29)는 데이터 라인을 구동하는데 사용되며, 다음 라인의 데이터에 있어서의 대응하는 점을 샘플링하도록 캐패시터(25)를 자유(free) 상태로 남긴다. 한편, 도 4c의 제2 회로 배치에서, 캐패시터(27)는 한 라인의 데이터에서의 대응하는 점을 샘플링하는데 사용되는 반면, 캐패시터(28) 및 버퍼(30)는 데이터 라인을 구동한다. 다음 라인 주기 동안, 캐패시터(27) 및 버퍼(30)는 데이터 라인을 구동하기 위해 사용되는 반면, 캐패시터(28)는 다음 라인 샘플을 위해 사용된다. 이들 두 경우, 두 개의 라인 전체의 비디오 데이터는 어느 한 순간에 아날로그 메모리에 저장된다. 그러나, 이러한 단일 라인 파이프라인은 부품 수 및 제어 회로의 복잡성면에서 비용이 많이 든다.

디지털 디스플레이의 경우, 데이터 라인 구동 회로는 보통 1 회 1 라인 구동 스킴을 사용하므로, 통상적으로 래치(latches)에 기초한 라인 메모리를 사용할 필요가 있다. 통상의 디지털 데이터 라인 구동 회로는, 디지털 비디오 데이터가 예를 들어 6 또는 8 비트 RGB 포맷으로 제공되는 입력 레지스터, 디지털 래치 형태의 기억 레지스터, 및 이 기억 레지스터의 출력부에 접속되어 기준 전압을 공급 받아 출력 버퍼에 의해 24 병렬 디지털 데이터 라인까지 데이터를 제공하는 디지털-아날로그(D/A) 변환기를 포함한다. 디지털 데이터 비트가 입력 레지스터에 공급됨에 따라, 이들은 레지스터에 저장되며, 라인 전체의 데이터가 저장되었을 때, 입력 레지스터의 내용이 기억 레지스터에 전송되어 D/A 변환기를 제어한다. 보다 고 성능의 디스플레이에는 출력 버퍼가 필요하지만, 소형 스크린 디스플레이의 경우, 간단한 충전 공유에 의해 데이터 라인을 충전하기 위하여 D/A 변환기를 데이터 라인에 직접 접속할 수 있다. D/A 변환기는 병행 변환기(Y. Matsueda, S. Inoue, S. Takenaka, T. Ozawa, S. Fujikawa, T. Nakazawa 및 H. Ohshima의 Low-temperature poly-Si TFT-LCD with integrated 6-bit digital data drivers, Society for Information Display 96 Digest, 21-24쪽) 및 램프(ramp) 변환기에 가장 통상적으로 사용된다. 그러나 이러한 회로에 필요한 디지털 라인 메모리는 SOI 디지털 구동기와 일체로 제조하기가 어렵다.

예를 들어, C. Reita의 Integrated driver circuits for active matrix liquid crystal displays, Displays 1993, Vol. 14(2), 104-114 쪽과 R. Martin, T. Chuang, H. Steemers, R. Fulks, S. Stuber, D. Lee, M. Young, J. Ho, M. Nguyen, W. Thompson, M. Tilton 및 L. Silverstein의 The electronic document display: A 6.3-million-pixel AMLCD, Journal of the Society for Information Display 1996, Vol. 4(2), 65-73쪽에 개시된 바와 같이, 두 개의 주사선 구동 회로를 사용하여 동일 주사선을 충전하는 방법이 알려져 있다. 특히 디스플레이와 동일한 기판상에 집적되는 회로와 관련되는 이러한 구동 스킴에는 두 가지 이점이 있다. 첫 번째 이점은, 이러한 회로는 고장이 덜 난다는 점이다. 두 번째 이점은, 두

개의 주사선 버퍼가 주사선 및 접속된 TFT의 용량을 상당한 수준까지 더욱 신속하고 균일하게 충전시키는데 사용될 수 있다는 점이다. 또한, 주사선들은 디스플레이의 중심부를 물리적으로 분할하므로, 디스플레이는 디스플레이의 대향 단부에 접속된 개별적인 주사선 구동 회로에 의해 주사되는 두 개의 디스플레이 부분의 이루어지는 것이 알려져 있다. 이러한 배치는 두 개의 디스플레이 부분에 공통되는 기관상에서 이행될 수도 있고, 또 다른 방식에 의하면 디스플레이 부분들은 보다 큰 디스플레이를 만들기 위하여 단부 끼리 이어져 있는 두 개의 디스플레이 기관에 의해 구성될 수도 있다. 두 경우 모두, 동일 라인이 동시에 두 부분에서 활성화되도록 양 디스플레이부의 주사선이 제어된다.

미국 특허 제4,830,466호에는, 도 6에 도시한 바와 같이 주사선이 디스플레이의 중심부를 좌측 및 우측 주사선 부분(33, 34)으로 분할하고 있는 AMLCD(32)가 개시되어 있다. 이 주사선 부분(33, 34)은 1 회 1 점 구동 스킴의 일 라인 주기에 활성화되는데, 좌측 주사선 부분(33)은 라인 주기의 첫 번째 절반 동안 활성화되고 우측 주사선 부분(34)은 라인 주기의 두 번째 절반 동안 활성화된다. 이 방법에 따르면, 도 3을 참조하여 상술한 바와 같이 종래의 1 회 1 점 구동 스킴에 비해 디스플레이의 우측 쪽으로 데이터 라인 구동 회로(37)에 의한 화소의 충전 시간을 연장시킬 수 있다. 두 개의 주사선 부분(33, 34)은 단일 주사 작동으로 주사되며, 이 경우 주사 전압이 인가되는 동안 일 라인의 데이터가 판독되어 데이터 라인에 인가되며, 좌측 및 우측 주사선은 독립적으로 제어된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 아날로그 및 디지털 디스플레이 모두에 적용가능하며 회로를 복잡하게 하지 않으면서 효율적인 방식으로 디스플레이를 구동하는 신규한 액티브 매트릭스 소자를 제공하는 것이다.

본 발명에 따르면, 복수의 데이터 라인, 복수의 주사선, 행으로 배치되며 상기 데이터 라인과 주사선의 교차부에 배치된 제어 소자의 액티브 매트릭스로서, 상기 제어 소자는 상기 데이터 라인에 접속된 데이터 입력부와 상기 주사선에 접속된 주사 입력부를 구비하여 각각의 제어 소자가 상기 데이터 라인 중의 대응하는 데이터 라인과 상기 주사선 중의 대응하는 주사선에 인가된 데이터 신호와 주사 신호의 조합에 의해 어드레스가능하게 되어 있는 액티브 매트릭스, 및 입력 신호에 응답하여 연속하는 라인 주기에 상기 제어 소자의 행을 어드레스하도록 배치된 어드레스 수단을 포함하고, 상기 어드레스 수단은 상기 입력 신호를 샘플링하여 대응하는 라인 주기에 각각의 제어 소자의 행에 대한 데이터 신호를 발생시키도록 배치되며, 또한 상기 데이터 신호를 상기 데이터 라인에 인가하도록 배치되는 데이터 라인 구동 회로, 상기 제어 소자에 의한 상기 주사 신호의 수신시 상기 행 상의 제어 소자에 상기 데이터 라인에 인가된 상기 데이터 신호를 공급하도록 각각의 행 상의 제어 소자의 주사 입력부에 주사 신호를 인가함으로써 주사선을 순차적으로 어드레스하도록 배치된 주사선 구동 회로, 상기 일 라인 주기의 제1 부주기에 상기 입력 신호를 샘플링하고 저장하여 상기 행 상의 제1 그룹의 제어 소자에 대한 데이터 신호를 발생시키도록 배치되며, 상기 일 라인 주기의 제2 부주기에 상기 제1 그룹의 제어 소자에 상기 데이터 신호를 공급하도록 배치되는 제1 액츄에이팅 수단, 및 상기 제2 부주기와 적어도 부분적으로 동일한 시간에 걸치는 부주기에 상기 입력 신호를 샘플링하고 저장하여 상기 행 상의 제2 그룹의 제어 소자에 대한 데이터 신호를 발생시키도록 배치되며, 후속하는 부주기에 상기 제2 그룹의 제어 소자에 상기 데이터 신호를 공급하도록 배치되는 제2 액츄에이팅 수단을 포함하는 액티브 매트릭스 소자가 제공된다.

이러한 배치는 도 4 및 도 5를 참조하여 상술한 종래의 1 회 1 라인 구동 스킴을 이용하는 배치에 비해 다수의 현저한 이점을 제공한다. 이들 이점에 의해, 이러한 배치는 특히 구동 회로가 디스플레이와 동일한 기관상에서 이행되는 액정 표시 소자용 모놀리식 구동 회로에 적용가능하게 된다. 이러한 배치의 가장 큰 이점은, 데이터 라인 구동 회로 수단으로 하여금 각각의 데이터선용으로 하나의 데이터 메모리만을 이용하여 이행되게 한다는 점이다. 그 이유는, 종래의 1 회 1 라인 구동 스킴의 샘플링 및 구동을 위한 동시 축적의 요구 대신, 동일한 데이터 메모리가 이러한 1 회 일부 라인(part-line-at-a-time) 구동 스킴의 샘플링 및 구동 모두에 사용될 수 있기 때문이다. 이로써, 데이터 라인 구동 회로 수단의 부품 수 및 회로 복잡성을 현저히 감소시킬 수 있다고 예상된다. 또한, 면적 및 전력 소비 비용이 대단히 감소되므로 상기한 배치는 디지털 데이터 구동 구조에 적용될 때 특히 유리하다. 또한, 부품 수의 절감은 디바이스 제조시 얻어지는 양품률을 증가시킨다. 아날로그 데이터 구동 구조에 적용되는 경우, 단일 용량성 메모리 소자로부터 다른 용량성 메모리 소자로 전하를 전송하거나 또는 열(column) 구동기내의 용량성 메모리 소자의 부적당한 조합으로 인해 정확성을 잃게 되

는 종래의 아날로그 1 회 1 라인 구동 스킴에 비해 우수한 작동 상의 정밀도를 제공할 수 있다.

본 발명의 일 실시예에서, 데이터 라인 구동 회로 수단은 제1 및 제2 구동 소자를 포함하고, 제1 액츄에이팅 수단은 제1 부주기에 제1 구동 소자를 제1 그룹의 제어 소자로부터 격리하도록 배치된 제1 스위칭 소자를 포함하며, 제1 스위칭 소자는 제2 부주기에 제1 구동 소자와 제1 그룹의 제어 소자를 결합시키도록 배치되고, 제2 액츄에이팅 수단은 제2 부주기에 제2 구동 소자를 제2 그룹의 제어 소자로부터 격리하도록 배치된 제2 스위칭 소자를 포함하며, 제2 스위칭 소자는 상기 후속 부주기에 제2 구동 소자와 제2 그룹의 제어 소자를 결합시키도록 배치된다. 이것을 스위칭가능한 데이터 라인 뱅크 구동 스킴이라고 한다.

다른 실시예에서, 주사선은 개별적으로 어드레스 가능한 제1 및 제2 주사선 부분을 포함하고, 제1 액츄에이팅 수단은 제2 부주기에 제1 주사 신호를 제1 주사선에 인가하여 상기 데이터 신호를 제1 그룹의 제어 소자에 공급하도록 배치된 주사선 구동 회로의 제1 주사 수단을 포함하며, 제2 액츄에이팅 수단은 상기 후속 부주기에 제2 주사 신호를 제2 주사선에 인가하여 상기 데이터 신호를 제2 그룹의 제어 소자에 인가하도록 배치된 주사선 구동 회로의 제2 주사 수단을 포함한다.

이러한 스플릿 주사선 구동 스킴은 도 4 및 도 5를 참조하여 상술한 바와 같은 종래의 1 회 1 라인 구동 스킴에 비해 많은 이점을 제공한다. 먼저, 주사선이 단축되므로, 끊어지거나 꼬이는 일이 적어진다. 또한, 주사선이 주사선 버퍼에 제공하는 용량성 로딩(capacitance loading)이 대체로 감소되므로, 주사선 버퍼를 소형화할 수 있다. 또한, 만일 버퍼 구동 능력이 유지되면, 시스템의 성능을 잃지 않으면서 라인의 RC 시간 상수를 증가시킬 수 있다. 따라서, 주사선을 보다 짧게 만들 수 있으며, 디스플레이 장치의 경우 화소 개구비를 향상시킬 수 있다.

본 발명의 다른 양상을 살펴 보면, 제1 주사선에 대응하는 데이터 라인은 제1 및 제2 스위칭 수단에 의해 데이터 라인 구동 회로 수단의 제1 및 제2 라인 구동기에 접속되고, 제2 주사선에 대응하는 데이터 라인은 제3 및 제4 스위칭 수단에 의해 데이터 라인 구동 회로의 제3 및 제4 라인 구동기에 접속되며, 데이터 라인 구동 회로 수단은 입력 신호가 각각의 부주기 동안 제1 및 제2 그룹의 제어 소자의 다른 부그룹용으로 샘플링되는 동안 제1 및 제2 그룹의 제어 소자의 부그룹의 데이터 라인에 인가하도록 구성된다.

발명의 구성 및 작용

본 발명의 보다 완전한 이해를 돕고자, 첨부 도면을 예시적으로 참조한다.

다음으로, 도 7 내지 도 18을 참조하여 AMOLED에 채용된 본 발명의 바람직한 실시예를 설명하지만, 본 발명은 다른 종류의 액티브 매트릭스 소자에도 채용될 수도 있음은 물론이다. 각각의 실시예들에서, 행 상의 화소들은 라인 주기 동안 둘 이상의 그룹으로 어드레스되며, 라인 주기의 제1 부주기 동안, 입력 데이터가 데이터 라인 구동 회로에 의해 샘플링되며 행 상의 화소들 중의 제1 군의 화소용 데이터 신호를 발생시키며, 라인 주기의 제2 부주기 동안, 데이터 신호가 제1 군의 화소에 인가되는 동시에 데이터 라인 구동 회로는 입력 데이터를 샘플링하여 행 상의 화소들 중의 제2 군의 화소용 데이터 신호를 발생시키는 1 회 일부 라인 구동 스킴을 이용함으로써 하나의 라인 메모리만으로 아날로그 또는 디지털 데이터 라인 구동 회로가 작동한다. 이러한 1 회 일부 라인 구동은 예를 들어 매트릭스가 한 번에 1/2 라인 구동되는 1/2 라인 주기만큼 서로 위상이 다른 라인 주사 주파수에서 데이터 샘플링과 데이터 라인 구동을 연속적으로 수행하는 둘 이상의 뱅크로 이루어지는 데이터 라인 구동 회로에 의해 달성된다. 데이터 라인 구동 회로의 제1 뱅크가 샘플링을 완료하면, 작동 모드는 구동 모드로 바뀌며, 데이터 라인 구동 회로의 제2 뱅크는 제1 뱅크의 구동과 동시에 샘플링을 개시하는 것으로 예상할 수 있다.

다음으로, 하나의 라인 메모리를 사용하면서 액티브 매트릭스를 한 번에 1/2 라인씩 어드레스하기 위하여 디스플레이의 중심부에 대해 좌측과 우측 절반부로 열 데이터 구동기를 나눔으로써 데이터 라인 구동 회로를 두 개의 절반부로 나누는 본 발명의 두 실시예들을 설명한다. 그러나, 데이터 라인 구동 회로는 다른 비율 또는 두 부분 이상으로 분리될 수 있으며, 또한 칼럼 데이터 구동기를 디스플레이의 중심부에 대해 대칭적으로 분리할 필요는 없음을 예상할 수 있다(예를 들어 디스플레이 데이터는 스캔된 포맷으로 전송될 수 있음).

도 7은 주사선 구동 회로(42)에 의해 주사선(41)에 인가된 주사 전압(S1~ SN)과 데이터 라인 구동 회로에 의해 데이터 라인(43)에 인가된 데이터 전압에 의해 어드레스 가능한 N 행 M 열의 화소로 이루어진 본 발명의 제1 실시예에 따른 AMLCD(40)을 도시한다. 데이터 라인 구동 회로(44)의 출력은 두 개의 뱅크, 즉 신호(A)에 의해 제어되는 스위치(46)에 의해 좌측 그룹의 화소에 접속되는 좌측 뱅크(45) 및 신호(B)에 의해 제어되는 스위치(48)에 의해 우측 그룹의 화소에 접속되는 우측 뱅크(47)로 나뉘어진다. 먼저 좌측 뱅크(45)를 살펴보면, 신호(A)가 로우일 때 스위치(46)가 개방되어, 좌측 그룹의 화소용 입력 데이터를 샘플링하기 위하여 좌측 라인 구동기가 데이터 라인들로부터 분리된다. 신호(A)가 하이일 때, 좌측 라인 구동기를 데이터 라인에 접속하여 좌측 그룹의 데이터 라인들의 충전을 행하도록 스위치(46)가 폐쇄된다. 유사한 작동 시퀀스가 신호(B)를 사용하여 우측 뱅크(47)와 행해져 우측 그룹의 화소에 대한 샘플링과 구동을 수행하며, A 및 B 신호는 주사선 신호와 주의깊게 조화되어 스위치(46, 48)가 서로 위상이 다른 1/2 라인 주기(1/2 fN)가 되게 한다.

스위칭 신호(A, B)와 더불어 최초의 세 주사선 전압(S1, S2, S3), 프레임 및 라인 동기화 펄스(VSYNC, HSYNC), 아날로그 구동 회로용의 통상적인 아날로그 입력 신호(AVDE0) 및 디지털 구동 회로용의 통상적인 디지털 입력 신호(DATA)(실제로 24 비트 폭까지 평행한 RGB 버스일 수 있음)를 도시하는 도 8의 타이밍도를 참조할 때, 도 7의 실시예에 이용된 전체 구동 스킴을 가장 잘 이해할 수 있을 것이다. 이러한 점에서, 데이터 라인 구동 회로(44)는, 아날로그 구동 회로 또는 디지털 구동 회로인지의 여부에 따라, D/A 변환기 및/또는 버퍼 형태의 디지털 또는 아날로그 단일 라인 메모리(49) 및 연관된 라인 구동기(49A)를 포함한다.

먼저 아날로그 데이터 라인 구동 회로의 경우를 살펴보면, 제1 라인의 데이터는 VSYNC와 HSYNC 펄스의 수신에 뒤이어 AVDE0 신호에 의해 전송되며, 라인 데이터의 처음 절반은 시간 t0와 t1 사이에 샘플링된다. t1에서, 주사 전압(S1)과 신호(A)가 활성화되며, t1과 t2 사이에, 주사 전압(S1)이 인가되고 스위치(46)가 폐쇄되어, 좌측 뱅크의 라인 구동기가 주사선을 따라 좌측 그룹의 화소를 충전시키게 한다. 동 기간 동안, 우측 그룹의 화소용 데이터는 우측 뱅크에 의해 샘플링된다. t2에서, 신호(A)가 해제되며(모든 좌측 화소가 적정 전압으로 충전된 후), 신호(B)가 활성화되며 스위치(48)를 폐쇄한다. t2와 t3 사이에, 우측 라인 구동기는 우측 그룹의 화소를 충전시키며, 동 기간 동안, 다음 주사선을 위한 좌측 그룹의 화소용 데이터가 좌측 뱅크에 의해 샘플링된다. 이 기간 동안 좌측 그룹의 화소는 여전히 주사되지만 충전용 데이터 라인과는 격리됨을 주목한다. 이러한 작동은 디스플레이의 나머지 주사선에 대해서도 유사한 방식으로 진행된다.

디지털 데이터 라인 구동 회로의 경우, 도 12를 참조하여 다음에 설명하는 바와 같이, 구동 회로에 D/A 변환이 발생한다는 사실로 인하여 작동이 복잡해져, D/A 변환상에 보다 엄밀한 제한성을 부여한다. DATA 신호는 시간 t0에서 HSYNC 펄스의 하강 단부(edge) 후 고정된 간격(수평 프런트 포치)에 전송된다. 평행 데이터 비트는 도달하는 대로 샘플링되고 D/A 변환기는 작동을 개시하는 한편, 변환 지연 시간(t1 내지 t1*)는 D/A 변환기의 속도와 종류에 의존한다. t1에서, 주사 전압(S1)과 신호(A)는 활성화되며, D/A 변환 및 데이터 라인 충전은 절반 라인 주기(t1 내지 t2)내에 완료되어야 한다. 도시된 예에서는, 시간(t1*)까지 좌측 그룹의 화소에 대해 모든 D/A 변환이 완료된다. 또한, 도 8은 주사 신호가 신호(SSYNC 1)의 하강 단부에 의해 제어됨을 도시하며, 다음에 이 신호의 발생에 관해 설명한다. 주사선 신호의 패턴은, 신호가 라인 주기의 절반이 보다 일찍 활성화된다는 점을 제외하면 종래의 1 회 1 라인 구동 스킴과 동일하다. 이것은, 표준 주사선 구동 회로가 본 실시예에 사용될 수 있음을 의미한다.

도 9는 스플릿 주사선에 기초한 1 회 절반 라인 구동 스킴을 이용하는 본 발명의 제2 실시예를 도시한다. 이 경우, N 행 M 열의 AMLCD(50) 내의 각 행의 화소는 두 개의 주사선(S1, S2)을 갖는데, 주사선(S1)은 좌측 그룹의 화소의 TFT의 게이트와 좌측 주사선 구동 회로(53)를 접속하고 주사선(S2)은 우측 그룹의 화소의 TFT의 게이트와 우측 주사선 구동 회로(54)를 접속한다. 주사선(S1, S2)은 중첩하지 않아서, 화소 개구비가 수평 방향으로 단일 주사선의 폭에 의해서만 결정되게 한다. 두 주사선 구동 회로(53, 54)는 디스플레이의 대향측에 위치되어 1/2 라인 주기만큼 서로 위상이 다른 신호를 발생시키는데, 구동 스킴의 작동을 보정하는데 있어서 신호의 타이밍은 대단히 중요하다. 앞의 실시예에서와 마찬가지로, 데이터 라인 구동 회로(55)는, 도 11 및 도 12를 참조하여 다음에 보다 상세히 설명하는 바와 같이, D/A 변환기 및/또는 버퍼 형태의 단일 디지털 또는 아날로그 라인 메모리(56) 및 라인 구동기(56A)를 포함한다.

다음에, 최초의 두 좌측 주사선(S1)에 인가된 전압(L1, L2) 및 최초의 두 우측 주사선(S2)과 마지막 우측 주사선(S2)에

인가된 전압(R1, R2, RN)을 도시하는 도 10의 타이밍도를 참조하여 도 9의 실시예의 작동을 설명한다. 당분간 주사 전압(RN)을 무시하면, 주사 전압(L1)에 의해 주사된 화소에 대한 데이터가 t0 및 t1 사이에 샘플링된다. t1에서, 주사 전압(L1)이 활성화된다. t1과 t2 사이에, 데이터 라인 구동 회로(55)의 좌측 라인 구동기는 좌측 그룹의 화소들을 충전함과 함께 주사 전압(R1)에 의해 주사된 화소에 대한 데이터가 데이터 라인 구동 회로(55)의 우측에 의해 샘플링된다. t2에서, 주사 전압(L1)은 해제되고 주사 전압(R1)이 활성화되어, 데이터 라인 구동 회로(55)의 우측 라인 구동기가 우측 그룹의 화소들을 충전하고 데이터 라인 구동 회로(55)의 좌측은 다음 주사선을 위한 데이터를 샘플링하기 시작하게 된다. 이러한 간섭식(interleaved) 좌/우 주사의 사이클은 디스플레이의 각각의 행에 대해 반복된다. 절반 라인 주기 파이프라인 지연 때문에, 다음 주사 프레임의 개시 까지, 마지막 주사선상의 우측 그룹의 화소들은 주사 전압(RN)에 의해 주사되지 않는다.

디지털 데이터 라인 구동 회로의 경우, 구동 스킴이 성공적으로 수행되도록, D/A 변환 및 데이터 라인 충전이 절반 라인 주기내에 완료되어, 도 10에서 t1+이 t2 보다 앞서고 t2+가 t3 보다 앞서게 해야 하는 점을 제외하면 유사한 방식으로 구동이 실행된다. 다음에, 도 14 및 도 15를 참조하여 이러한 스플릿 주사선 구동 스킴을 비 표준 주사선 구동 회로 및 주사선 구동 회로 제어용 SSYNC2 펄스의 발생에 관해 설명한다.

도 11은, 상술한 실시예들에 사용될 수 있으며 데이터 라인 구동을 위한 버퍼 형태의 라인 구동기(62) 및 용량성 메모리 소자(61)를 포함하는 샘플링 회로 및 샘플링 시프트 레지스터를 포함하는 아날로그 데이터 라인 구동 회로(60)를 도시한다. 도 11b에, 각각의 데이터 라인용 메모리 소자가 단일 캐패시터(63) 및 연관된 스위치(63A)를 포함하며, 라인 구동기가 버퍼(64)를 포함하고 있는 데이터 라인 구동 회로(60)에 대한 회로 배치를 도시한다. 도 4의 1 회 1 라인 데이터 라인 구동 회로와 비교할 때, 각각의 메모리 소자는 적어도 하나 더 적은 캐패시터와 적어도 하나 더 적은 스위치를 이용하므로 이러한 데이터 라인 구동 회로(60)는 대단히 간단화되는 것으로 예상된다. 이러한 부품 수의 감소는 실리콘에 집적된 구동 회로에 비교적 미미한 이점만을 제공하는 반면, 대응하는 이행 영역의 소형화 및 양품을 개선면에서 박막 기술로 구성된 모놀리식 구동 회로에 더욱더 큰 이점을 제공한다.

단일 라인 파이프라인 지연을 제공하는 1회 1 라인 구동 스킴과 비교함으로써, 상술한 1 회 절반 라인 구동 스킴의 데이터 라인을 충전하는데 통상적으로 이용가능한 파이프라인 지연은 라인 주기의 절반으로 감소되며, 이것은 라인 구동기가 데이터 라인을 더 신속하게 충전해야 함을 의미한다. 70 Hz에서 작동하는 1,024 x 768 화소의 XGA(extended graphics arrays) 디스플레이의 경우, 절반 라인 주기는 $1/(2 \times 70 \times 768) = 9.3 \mu s$ 와 동일하다. 만일 단일 R 및 C 소자를 사용하여 로딩 효과가 모델링되면, 12.1 인치 대각선 XGA 디스플레이에 대한 이들 부품의 값은 각각 10 k Ω 및 100 pF의 정도일 것이다. 저 이동도 폴리실리콘 트랜지스터로 구성된 버퍼는 이러한 로딩부를 9.3 μs 내에 $\pm 10 V$ 펄스의 포텐셜까지 충전할 수 있는 것으로 드러났다.

도 12에, 상술한 본 발명의 실시예들에 사용될 수 있으며, 디지털 래치 형태의 단일 기억 레지스터(71), 및 이 기억 레지스터(71)의 출력부에 접속되며 기준 전압을 공급받는 D/A 변환기와 버퍼 형태의 라인 구동기(72)만을 필요로 하는 디지털 데이터 라인 구동 회로(70)를 도시한다. 이러한 디지털 데이터 라인 구동 회로(70)는 영구 특허 출원 제SLE 96055호에 더욱 상세히 개시되어 있다. 이러한 데이터 라인 구동 회로(70)에서는, 입력 디지털 데이터의 RGB 비트를 저장하기 위하여 추가적인 입력 레지스터가 요구되지 않으므로, 상술한 바와 같은 종래의 1 회 1 라인 데이터 라인 구동 회로 보다 적은 부품이 소요될 것으로 예상된다. 8 비트 컬러 XGA 디스플레이의 경우, 예를 들면, 이러한 구동 스킴을 채용하면 $24 \times 1,024 = 24,576$ 의 1 비트 래치를 저장할 수 있다. 이로써, 양품률과 전력 효율을 모두 향상시킬 수 있으므로 매우 중요한 이점이라고 할 수 있다. 이행 영역의 감소는, 트랜지스터의 크기가 상당히 큰 저온 폴리실리콘으로 제조된 모놀리식 구동기의 경우 더욱 중요하다.

상술한 바와 같이, 이러한 구동 스킴을 성공적으로 작동시키기 위하여 D/A 변환 및 데이터 라인 구동은 1/2 라인 주기내에 완료될 필요가 있으며, 이것은 다음과 같은 모든 주요 D/A 변환 스킴을 달성할 수 있다:

1. 충전 공유(charge sharing)에 기초한 병렬 D/A 변환 스킴의 경우, 변환 시간은 변환 캐패시터 충전시의 지연 시간과 축적된 전하를 데이터 라인 용량과 공유하는데 걸리는 시간을 더한 시간과 거의 동일하다(이러한 스킴은 소형 디스플레이 용으로만 적합함).

2. 가산 증폭기(summing amplifiers)에 기초한 병렬 D/A 변환 스킴의 경우, 변환 시간은 캐패시터 충전시의 지연 시간과 버퍼 증폭기가 라인(버퍼 증폭기 전류 드라이브)을 충전시키는데 걸리는 시간을 더한 시간과 거의 동일하다.

3. 알고리즘 직렬 D/A 변환 스킴의 경우, 칼럼 구동기 당 고정된 변환 지연 시간을 제공하며, 이 시간은 통상적인 절반 라인 주기 보다 훨씬 작은 수 마이크로초일 수 있다.

4. 변환 및 데이터 라인 충전이 동시에 나타나는 램프계 직렬 D/A 변환 스킴의 경우, 램프의 속도는 변환 지연을 규정한다. 따라서, 램프는 라인 주기의 절반 미만의 주기에서 화소 전압의 범위를 트래버스(traverse)한다.

상술한 실시예의 주사선 구동기는 서로 다른 주파수에서 작동해야 하며 또는 라인 동기화 펄스(HSYNC)에 대해 위상 변이되어야 한다. 따라서, 도 7 및 도 8의 스위칭가능한 데이터 라인 뱅크 구동 스킴과 도 9 및 도 10의 스플릿 주사선 구동 스킴 양자를 위한 SSYNC1 및 SSYNC2 신호를 발생시킬 필요가 있는 바, 데이터 라인 구동 회로(69)(예를 들어 도 11의 회로(60)에 대응할 수 있음)의 샘플링 시프트 레지스터(11)의 확대된 중심부를 도시하는 도 13을 참조하여 이들 신호를 발생시키기 위한 간단한 회로 배치를 설명한다. 샘플링 시프트 레지스터(11)는 0형 플립 플롭(75)의 체인으로 이루어지며, 순회 1이 시프트 레지스터(74)의 중심부에 도달할 때, 절반 라인 주기와 일치하는 하강 단부를 갖는 펄스가 발생되므로, SSYNC1 신호는 단지 $(M/2 - 1)$ 플립 플롭의 출력이다. 또한, 라인 동기화 펄스(HSYNC)는 OR 게이트(76)의 일 입력부에 인가되는 반면, SSYNC1 신호는 게이트의 다른 입력부에 인가되며, HSYNC 펄스의 두 배의 빈도로 상승 및 하강 전이를 발생시키는 게이트(76)의 출력부에 신호(SSYNC2)를 발생시킨다. 도 7 및 도 8의 스위칭가능한 데이터 라인 뱅크 구동 스킴에서, 신호(SSYNC1)는 주사선 구동 회로의 시프트 레지스터에 공급되며, A 및 B 스위칭 신호는 신호(SSYNC2)와 클로킹되는 토클 플립 플롭으로부터 생성될 수 있다. 도 9 및 도 10의 스플릿 주사선 구동 스킴에서, 신호(SSYNC2)는 주사선 구동 회로의 시프트 레지스터(들)에 공급된다. 이러한 신호 기술은, 두 종류의 구동 회로간의 신호 전송이 비교적 수월한 모놀리식 데이터 및 주사선 구동 회로의 경우 더욱 실용적이다. 도 13b의 타이밍도는 신호(VSYNC, HSYNC, SSYNC1 및 SSYNC2)의 상대적인 타이밍을 도시한다.

SSYNC1 신호를 사용하여 라인 동기화에 대한 위상 변이를 수행해야 한다는 점을 제외하면 스위칭가능한 데이터 라인 뱅크 구동 스킴용 주사선 구동 회로는 종래의 표준 구성을 사용한다. 스플릿 주사선 구동 스킴의 경우, 후술하는 바와 같이 주사선 구동 회로에 대한 두 가지 옵션이 존재한다. 도 14에 도시한 제1 옵션에서, 각각의 좌측 및 우측 주사선 구동 회로(53, 54)는, 라인 주기 당 두 개의 트리거링 펄스를 갖는 SSYNC2 신호와 프레임 동기화 펄스(VSYNC)에 의해 제어되는 0형 플립 플롭(80)의 체인(래치 및 조합 논리를 포함하는 다른 구조가 사용될 수도 있음)으로 이루어지는 시프트 레지스터를 포함한다. 시프트 레지스터의 하나 걸러씩의 플립 플롭(80)의 출력부는 예를 들어 두 개의 적절히 스케일링된 인버터로 형성될 수 있는 주사선 버퍼(81)에 접속된다. 먼저 좌측 주사선 구동 회로(53)를 살펴 보면, VSYNC 펄스에 의해 초기화되어 시프트 레지스터의 내용이 10000000- (툼 다운 방식으로 플립 플롭(80)의 상태를 판독함)이 되게 한다. SSYNC2 신호의 두 하강 단부 후에(도 10 참조), 시프트 레지스터의 내용은 00100000- 으로 변하고, 주사 전압(L1)은 하미가 되어 라인 주기의 1/2 동안 하미를 유지한다. 주사 전압(L2)은, 시프트 레지스터의 내용이 00001000- 으로 변화될 때 전 라인 주기가 지날 때까지는 하미가 되지 않는다. 우측 주사선 구동 회로(54)는 마찬가지로의 방식으로 작동한다. 그러나, 임의의 행의 화소에 대해, 우측 주사선 버퍼는 대응하는 좌측 주사선 버퍼 보다 한 단 더 아래의 시프트 레지스터의 플립 플롭(80)에 접속된다. 이로써, 주사 펄스는 라인 주기의 절반 만큼 위상이 다르게 된다.

만일 디스플레이 패널상에 개별 LSI 구동 칩을 결합시킨 디스플레이에 스플릿 주사선 구동 스킴이 적용되면, 액정 표면 준비(러빙) 처리시 TFT를 보호하기 위해 주사선과 접지 전위를 접속하는 경우에 문제가 발생하지 않는다. 그러나, 디스플레이 TFT와 동일한 기판상에 집적된 모놀리식 구동 회로의 경우, 주사선(51)을 기판의 가장자리로부터 액세스하여 안내 링과의 접속함으로써 접지될 수 있도록 하기 위하여 주의가 기울여야한다. 도 15에 도식적으로 도시한 바와 같이, 주사선(51)과 안내 링(82)의 접속은, 포인트(84)에서 시프트 레지스터 접속 배선을 중첩하는 배선(83)에 의해 달성될 수 있으며, 이 경우 구조상 두 개의 도전층이 필요하다.

상술한 주사선 구동 회로의 주된 문제점은, 나머지 주사선 구동 회로가 디스플레이의 절반을 스캐닝할 때 대기 상태를 제어하기 위해 사용되는 양 시프트 레지스터의 여분의 플립 플롭을 포함한다는 점이다. 그러나, 액티브 기판상에 집적된 방출 또는 반사 디스플레이의 경우, 도 16에 도시한 바와 같이 단일 시프트 레지스터를 포함하여 좌측 및 우측 주사 전압

모두를 발생시키는 주사선 구동 회로(85)를 사용함으로써 회로 배치를 간단화할 수 있다. 본 도면의 확대된 세부(86)에 가장 잘 드러나는 바와 같이, 좌측 그룹의 화소(87)는 대응하는 우측 그룹의 화소(89)에 대한 주사선(88)(이것은 화소 개구비에 영향을 미치지 않음)을 포함한다. 이러한 배치는 전송 디스플레이용으로 사용될 수도 있으나, 만일 동일 총 상에 두 개의 라인 경로가 배치되면 좌측 그룹의 화소의 개구비가 침해받을 수 있다. 이러한 문제점에 대한 제1 해결책은 다른 총의 좌측 주사선의 상부에 우측 주사선의 경로를 지정하는 것이지만, 이것은 보다 높은 구동 버퍼를 요하는 주사선들 간에 중첩 용량을 도입하게 되는 불리한 효과를 가질 것이다. 제2 해결책은 나머지 주사선을 최대한으로 사용하여 화소 축적 캐패시턴스의 기저 플레이트를 형성함으로써, 이 주사선으로 하여금 통상 한 행의 화소에 제공되는 여분의 화소 용량을 대신하게 하는 것이다. 도 17은 디스플레이의 중심부(91)에 대해 그룹지어진 8 개의 화소(90)를 포함하며 좌측 데이터 라인(92)과 우측 데이터 라인(93) 뿐만 아니라 좌측 주사선(94)과 우측 주사선(95)을 포함하는 이러한 디스플레이 배치의 세부도를 도시한다. 도면에서 볼 수 있듯이, 각각의 좌측 주사선(94)은 대응하는 행의 각각의 우측 화소용 용량 플레이트(96)를 형성하는 반면, 각각의 우측 주사선(95)은 다음 행의 각각의 좌측 화소용 용량 플레이트(97)를 형성한다[우측 주사선(95)의 스텝(98)로 인하여].

상술한 각각의 실시예들은 1 회 절반 라인 구동 스킴을 사용하고 있으나, 그 밖의 구동 스킴도 전술한 바와 같은 본 발명의 범주내에서 예상될 수 있는 바, 다음으로, 사용 가능한 다른 방식의 구동 스킴의 일 예로서 도 18 및 도 19를 참조하여 1 회 3/4 라인 구동 스킴을 설명한다. 이러한 구동 스킴의 데이터 라인 구동 회로(55)는 단일 라인 메모리(56)를 사용하며 도 9의 데이터 라인 구동 회로와 일반적으로 유사하므로, 도 18 및 도 19에서 이들 부분에 동일한 참조 부호를 사용한다. 도 9의 실시예에서와 같이, 좌측 주사선(100)은 좌측 주사선 구동 회로(102)에 접속되고 우측 주사선(101)은 우측 주사선 구동 회로(103)에 접속된다. 그러나, 데이터 라인 구동 회로(55)의 출력은 스위칭 신호 A, B, C, D에 의해 제어되는 스위치에 의해 데이터 라인에 접속되는 네 개의 뱅크(104, 105, 106, 107)로 나누어진다. 스위칭 신호 A, B, C, D의 주파수와 타이밍을, 도 10을 참조하여 앞서 설명한 나머지 신호를 및 주사 동기화 신호(SSYNC3)와 더불어, 도 19의 타이밍도에 도시한다. SSYNC3 신호는 도 13를 참조하여 상술한 바와 유사한 배치에 의해 발생될 수 있으나, 샘플링 시프트 레지스터에 따른 방식의 1/4 및 3/4에 탭 포인트를 제공한다.

이러한 구동 스킴에 의하면, 디스플레이가 한 번에 3/4 라인씩 구동되며, 어떠한 순간에도, 한 행의 화소의 3/4가 주사되게 하는 이점이 제공된다. 이것은, D/A 변환을 수행하고(만일 데이터 라인 구동 회로가 디지털이면) 데이터 라인을 충전하기 위하여 라인 주기의 3/4가 데이터 라인 구동 회로(55)용으로 이용가능함을 의미한다. 또 다른 방식의 1 회 3/4 라인 구동 스킴은 행 당 다중 개별 제어식 주사선을 이용하지만, 이 방식은 주사선 구동 회로를 보다 많이 필요로 하는 동시에 화소를 통과하도록 경로가 지정된 주사선을 보다 많이 필요로 한다. 화소 개구비에 의해 부과된 강제 사항은 이러한 기술은 반사 및 방출 타입의 디스플레이로 제한한다. 그러나, 행 당 네 개의 주의깊게 제어된 주사선을 사용함으로써, 라인 주기의 3/4에 대해 액티브한 경우의 변환 및 데이터 라인 충전 시간은 도 9 및 도 10을 참조하여 설명한 스텝 주사선 구동 스킴에 대해 50 %까지 증가될 수 있다.

발명의 효과

본 발명에 따르면, 아날로그 및 디지털 디스플레이 모두에 적용가능하며 회로를 복잡하게 하지 않으면서 효율적인 방식으로 디스플레이를 구동하는 신규한 액티브 매트릭스 소자가 제공된다.

(57) 청구의 범위

청구항 1. 액티브 매트릭스 소자에 있어서,

복수의 데이터 라인,

복수의 주사선,

행으로 배치되며 상기 데이터 라인과 주사선의 교차부에 배치된 제어 소자의 액티브 매트릭스로서, 상기 제어 소자는, 각각의 제어 소자가 상기 데이터 라인 중의 대응하는 데이터 라인과 상기 주사선 중의 대응하는 주사선에 인가된 데이터 신호와 주사 신호의 결합에 의해 어드레스가능하도록, 상기 데이터 라인에 접속된 데이터 입력부와 상기 주사선에 접속된 주사 입력부를 구비한 액티브 매트릭스, 및

입력 신호에 응답하여 연속하는 라인 주기에 상기 제어 소자의 행을 어드레스하도록 배치된 어드레스 소자

를 포함하고,

상기 어드레스 소자는,

상기 입력 신호를 샘플링하여 대응하는 라인 주기에 각각의 제어 소자의 행에 대한 데이터 신호를 발생시키도록 배치되며, 또한 상기 데이터 신호를 상기 데이터 라인에 인가하도록 배치되는 데이터 라인 구동 회로,

상기 제어 소자에 의한 상기 주사 신호의 수신시 상기 행 상의 제어 소자에 상기 데이터 라인에 인가된 상기 데이터 신호를 공급하도록 각각의 행 상의 제어 소자의 주사 입력부에 주사 신호를 인가함으로써 상기 주사선을 순차적으로 어드레스하도록 배치된 주사선 구동 회로,

상기 일 라인 주기의 제1 부주기에 상기 입력 신호를 샘플링하고 저장하여 상기 행 상의 제1 그룹의 제어 소자에 대한 데이터 신호를 발생시키도록 배치되며, 상기 일 라인 주기의 제2 부주기에 상기 제1 그룹의 제어 소자에 상기 데이터 신호를 공급하도록 배치되는 제1 액츄에이터, 및

상기 제2 부주기와 적어도 부분적으로 동일한 시간에 걸치는 부주기에 상기 입력 신호를 샘플링하고 저장하여 상기 행 상의 제2 그룹의 제어 소자에 대한 데이터 신호를 발생시키도록 배치되며, 후속하는 부주기에 상기 제2 그룹의 제어 소자에 상기 데이터 신호를 공급하도록 배치되는 제2 액츄에이터

를 포함하는 액티브 매트릭스 소자.

청구항 2. 제1항에 있어서, 상기 제2 액츄에이터는 상기 일 라인 주기에 후속하는 라인 주기 중의 다른 라인 주기의 제1 부주기에 상기 데이터 신호를 상기 제2 그룹의 제어 소자에 공급하도록 구성되는 액티브 매트릭스 소자.

청구항 3. 제1항에 있어서, 상기 데이터 라인 구동 회로는 제1 및 제2 구동 소자를 포함하고, 상기 제1 액츄에이터는 제1 부주기에 제1 구동 소자를 제1 그룹의 제어 소자로부터 격리하도록 배치된 제1 스위칭 소자를 포함하며, 상기 제1 스위칭 소자는 제2 부주기에 상기 제1 구동 소자와 상기 제1 그룹의 제어 소자를 결합시키도록 배치되고, 상기 제2 액츄에이터는 상기 제2 부주기에 상기 제2 구동 소자를 상기 제2 그룹의 제어 소자로부터 격리하도록 배치된 제2 스위칭 소자를 포함하며, 상기 제2 스위칭 소자는 상기 후속 부주기에 제2 구동 소자와 제2 그룹의 제어 소자를 결합시키도록 배치되는 액티브 매트릭스 소자.

청구항 4. 제3항에 있어서, 상기 데이터 라인 구동 회로는 데이터 라인 수에 대응하는 복수의 스테이지를 갖는 데이터 시프트 레지스터, 및 상기 스테이지의 일부 및 연관된 라인 구동기를 각각 포함하는 제1 및 제2 구동 소자를 포함하는 액티브 매트릭스 소자.

청구항 5. 제4항에 있어서, 상기 제1 및 제2 구동 소자는 상기 데이터 시프트 레지스터의 상기 스테이지의 절반 및 연관된 라인 구동기를 각각 포함하는 액티브 매트릭스 소자.

청구항 6. 제3항에 있어서, 상기 제1 및 제2 스위칭 소자는 일련의 스위칭 소자를 각각 포함하며, 상기 각각의 일련의 스위칭 소자는 상기 데이터 라인의 각 라인에 접속되는 액티브 매트릭스 소자.

청구항 7. 제1항에 있어서, 각각의 행은 개별적으로 어드레스가능한 제1 및 제2 주사선에 의해 어드레스가능하며, 상기 제1 액츄에이터는 상기 제2 부주기에 제1 주사 신호를 상기 제1 주사선에 인가하여 상기 데이터 신호를 제1 그룹의 제어 소자에 공급하도록 배치된 주사선 구동 회로의 제1 주사 소자를 포함하며, 상기 제2 액츄에이터는 상기 후속 부주기에 제2 주사 신호를 상기 제2 주사선에 인가하여 상기 데이터 신호를 제2 그룹의 제어 소자에 인가하도록 배치된 주사선 구동 회로의 제2 주사 소자를 포함하는 액티브 매트릭스 소자.

청구항 8. 제7항에 있어서, 상기 복수의 데이터 라인은 상기 제1 주사선에 대응하는 제1 데이터 라인 및 상기 제2 주사선에 대응하는 제2 데이터 라인을 포함하고, 상기 제1 데이터 라인은 상기 데이터 라인 구동 회로의 제1 라인 구동기에 영구적으로 접속되며, 상기 제2 데이터 라인은 상기 데이터 라인 구동 회로의 제2 라인 구동기에 영구적으로 접속되는 액티브 매트릭스 소자.

청구항 9. 제7항에 있어서, 상기 복수의 데이터 라인은 상기 제1 주사선에 대응하는 제1 데이터 라인 및 상기 제2 주사선에 대응하는 제2 데이터 라인을 포함하고, 상기 제1 데이터 라인은 제1 및 제2 스위칭 소자에 의해 데이터 라인 구동 회로의 제1 및 제2 라인 구동기에 접속되며, 상기 제2 데이터 라인은 제3 및 제4 스위칭 소자에 의해 상기 데이터 라인 구동 회로의 제3 및 제4 라인 구동기에 접속되고, 상기 데이터 라인 구동 회로는 상기 입력 신호가 각각의 부주기 동안 상기 제1 및 제2 그룹의 제어 소자의 다른 부그룹용으로 샘플링되는 동안 데이터 신호를 상기 제1 및 제2 그룹의 제어 소자의 부그룹의 데이터 라인에 인가하도록 구성되는 액티브 매트릭스 소자.

청구항 10. 제7항에 있어서, 상기 제1 및 제2 주사 소자는 복수의 스테이지를 가지며 프레임 동기화 신호가 인가되는 각각의 주사 시프트 레지스터를 포함하고, 상기 제1 주사선은 상기 제1 주사 소자의 하나 걸러씩의 스테이지에 접속되며, 상기 제2 주사선은 제1 주사선이 접속되는 제1 주사 소자의 스테이지와 위상이 다른 하나의 스테이지인 제2 주사 소자의 하나 걸러씩의 스테이지에 접속되는 액티브 매트릭스 소자.

청구항 11. 제7항에 있어서, 상기 제1 및 제2 주사 소자는 상기 제1 주사 소자의 스테이지가 상기 제2 주사 소자의 스테이지와 교대로 배치되는 공통 주사 시프트 레지스터의 서로 다른 스테이지를 포함하며, 상기 제2 주사선은 상기 제1 주사선의 측면을 따라 연장된 부분들을 접속함으로써 상기 제2 주사 소자에 접속되는 액티브 매트릭스 소자.

청구항 12. 제11항에 있어서, 상기 제2 주사선의 접속 부분은 상기 제1 그룹의 제어 소자와 연관된 제1 축적 캐패시터의 플레이트를 형성하고, 상기 제1 주사선의 접속 부분은 상기 제2 그룹의 제어 소자와 연관된 제2 축적 캐패시터의 플레이트를 형성하는 액티브 매트릭스 소자.

청구항 13. 제1항에 있어서, 상기 어드레싱 소자는 각각의 라인 부주기에 아날로그 입력 신호를 샘플링하여 대응하는 그룹의 제어 소자에 대한 데이터 신호를 저장하고, 아날로그 입력 신호가 샘플링되어 다음 그룹의 제어 소자에 대한 데이터 신호를 발생시킬 때와 동일한 시간에 적어도 하나의 후속 라인 부주기에 데이터 신호를 상기 그룹의 제어 소자에 공급하도록 구성되는 액티브 매트릭스 소자.

청구항 14. 제1항에 있어서, 상기 어드레싱 소자는 각각의 라인 부주기에 디지털 입력 신호를 샘플링하여 대응하는 그룹의 제어 소자에 대한 데이터 신호로 추후 변환되는 디지털 신호를 발생시키고 상기 디지털 신호의 변환을 완료하며, 디지털 입력 신호가 샘플링되어 다음 그룹의 제어 소자에 대한 데이터 신호를 발생시킬 때와 동일한 시간에 적어도 하나의 후속 라인 부주기에 상기 데이터 신호를 상기 그룹의 제어 소자에 공급하도록 구성되는 액티브 매트릭스 소자.

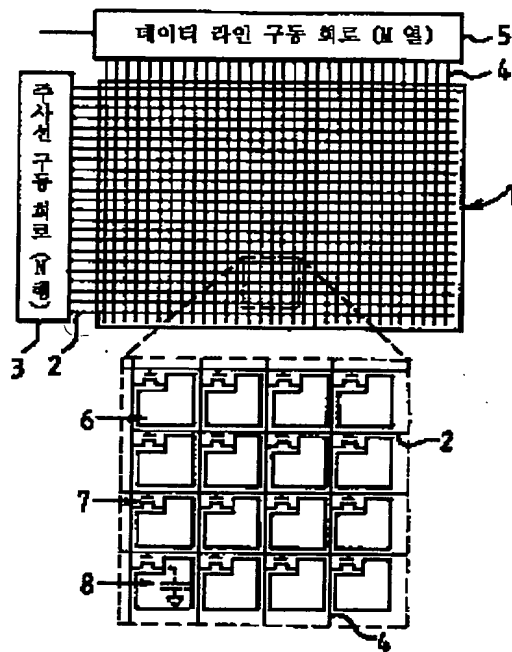
청구항 15. 제1항에 있어서, 상기 데이터 라인 구동 회로는 라인 주기를 타이밍하기 위한 라인 동기화 신호에 대해 위상이 다른 주사 동기화 신호를 발생시키도록 배치된 주사 동기화 소자를 포함하며, 상기 주사 동기화 신호는 동일 라인 주기내의 연속하는 부주기들간의 적어도 하나의 시간 전이의 역할을 하는 액티브 매트릭스 소자.

청구항 16. 제15항에 있어서, 상기 데이터 라인 구동 회로는 데이터 라인 수에 대응하는 복수의 스테이지를 가지며 라인 동기화 신호가 인가되는 데이터 시프트 레지스터를 포함하며, 상기 주사 동기화 소자는 상기 스테이지의 중간 스테이지의 출력부에 접속되어 상기 라인 동기화 신호에 대해 위상이 다른 상기 주사 동기화 신호를 제공하는 액티브 매트릭스 소자.

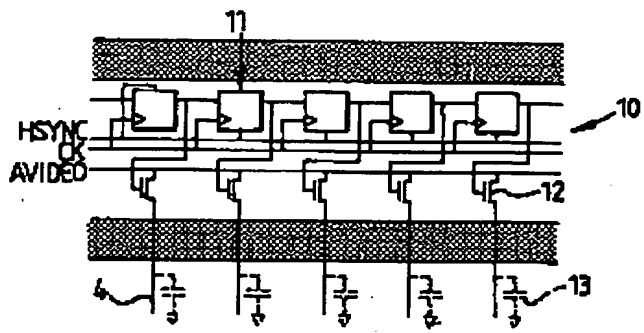
청구항 17. 제1항에 있어서, 상기 데이터 라인 구동 회로는 각각의 데이터 라인 마다 하나의 데이터 메모리만을 포함하는 액티브 매트릭스 소자.

도면

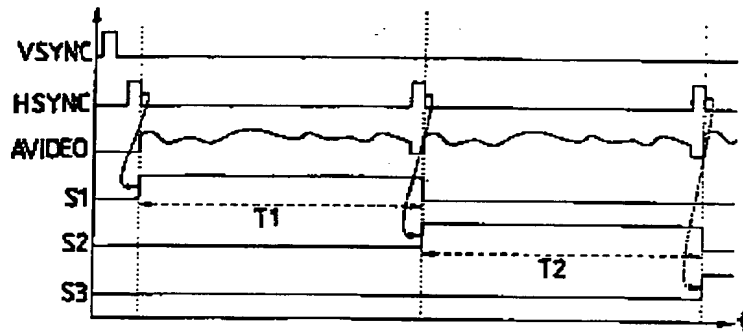
도면1



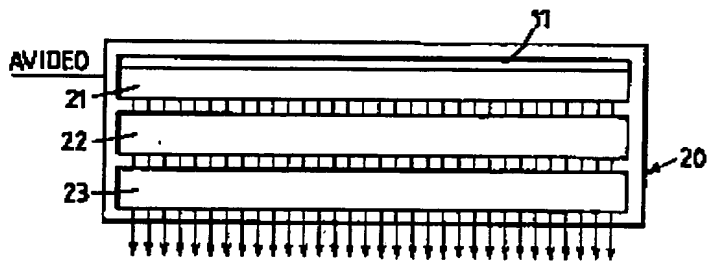
도면2



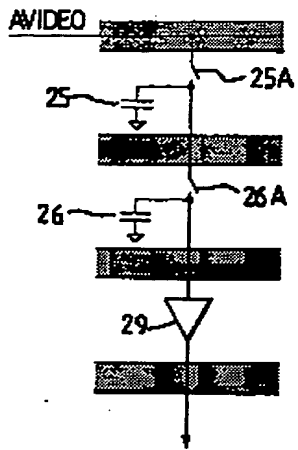
도 3



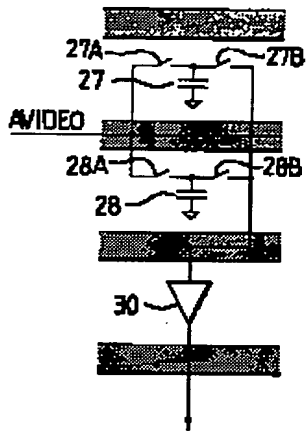
도 4a



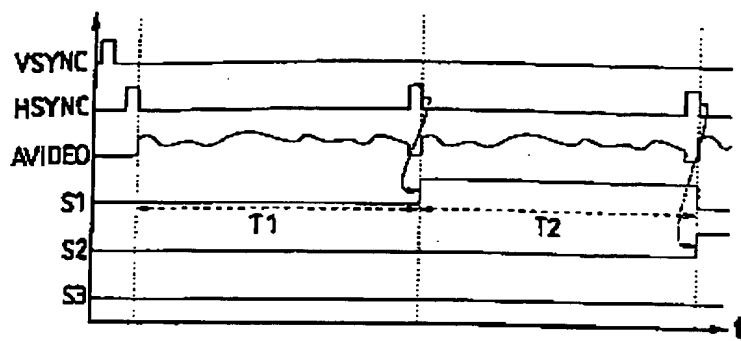
도 4b



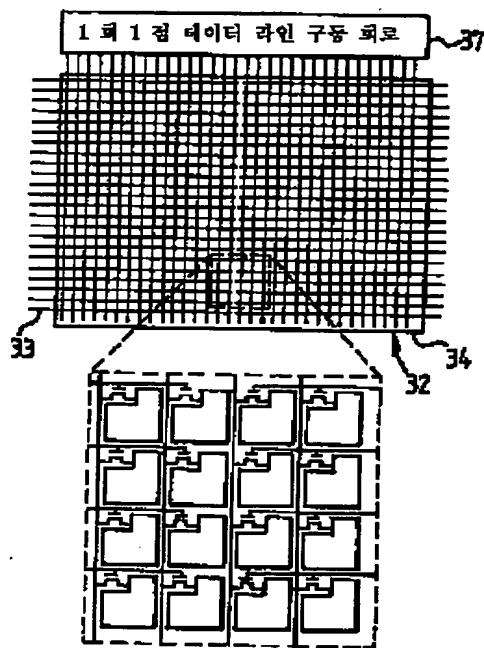
도면 4a



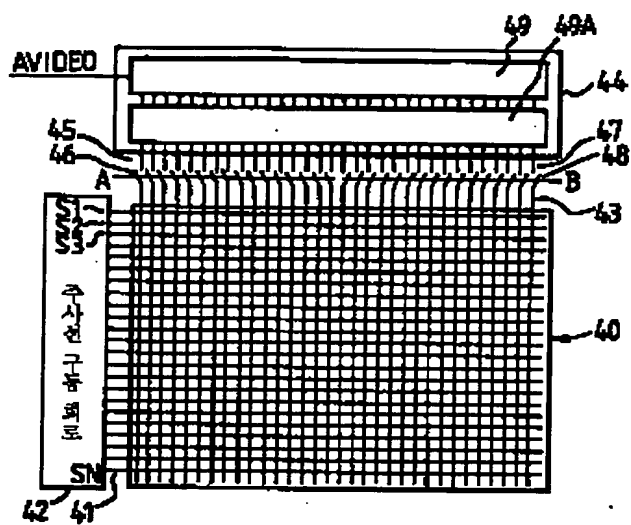
도면 5



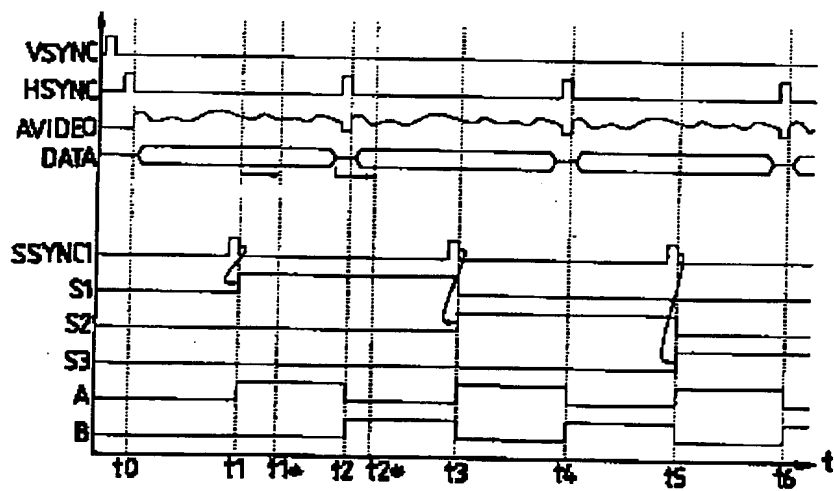
도면8



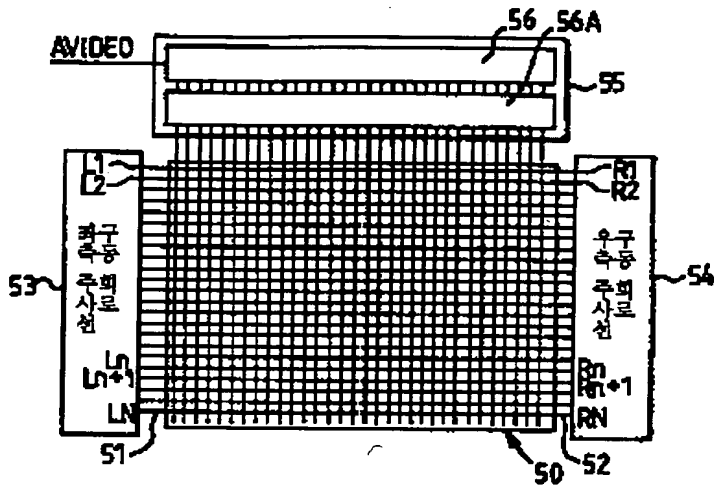
도면7



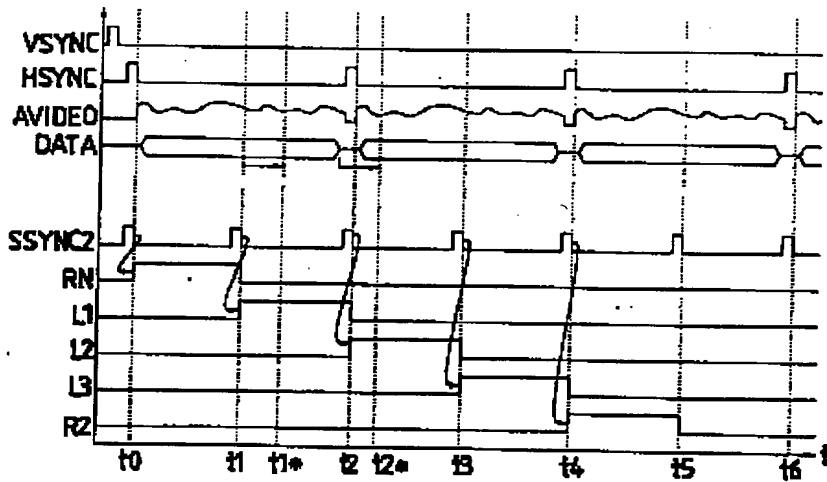
도면 B



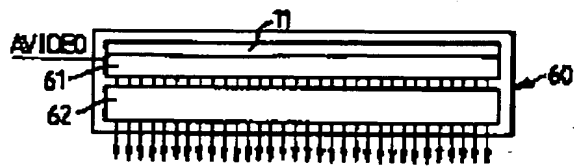
도면 C



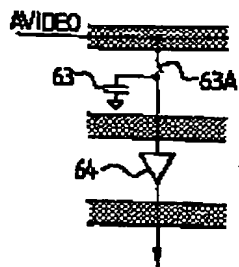
도면 10



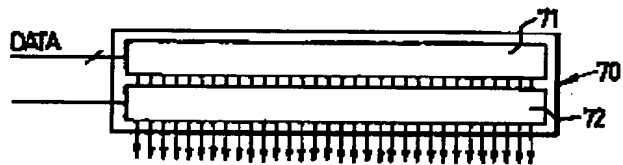
도면 11a



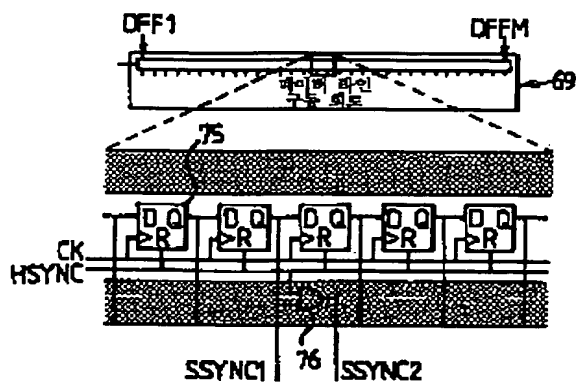
도면 11b



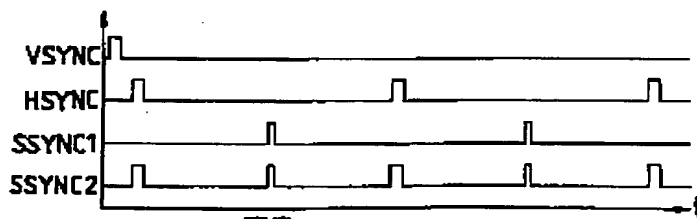
도면 12



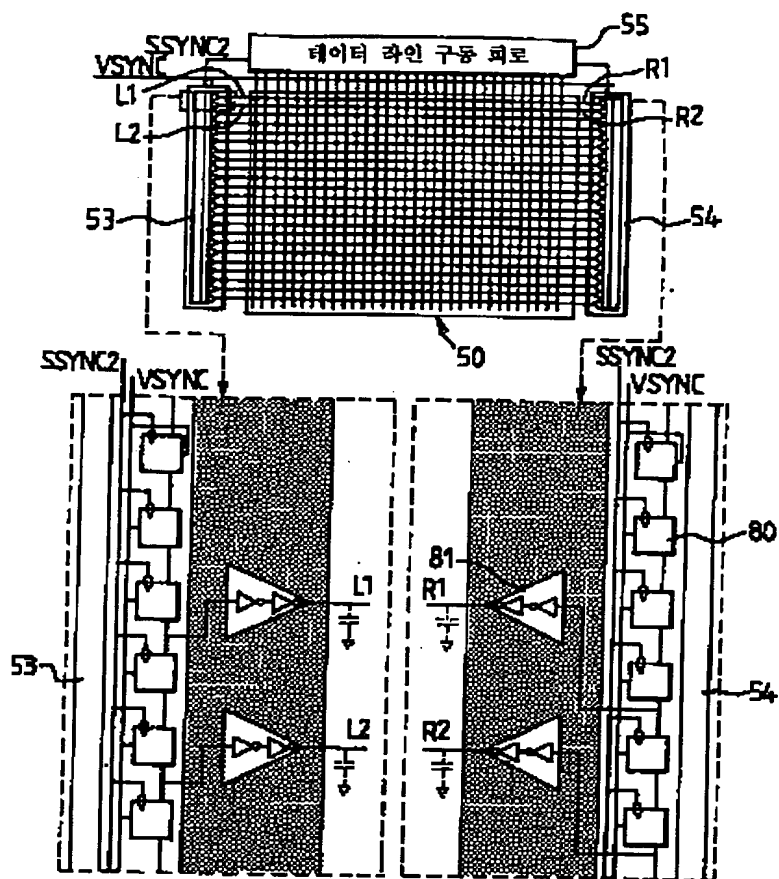
도면 13a



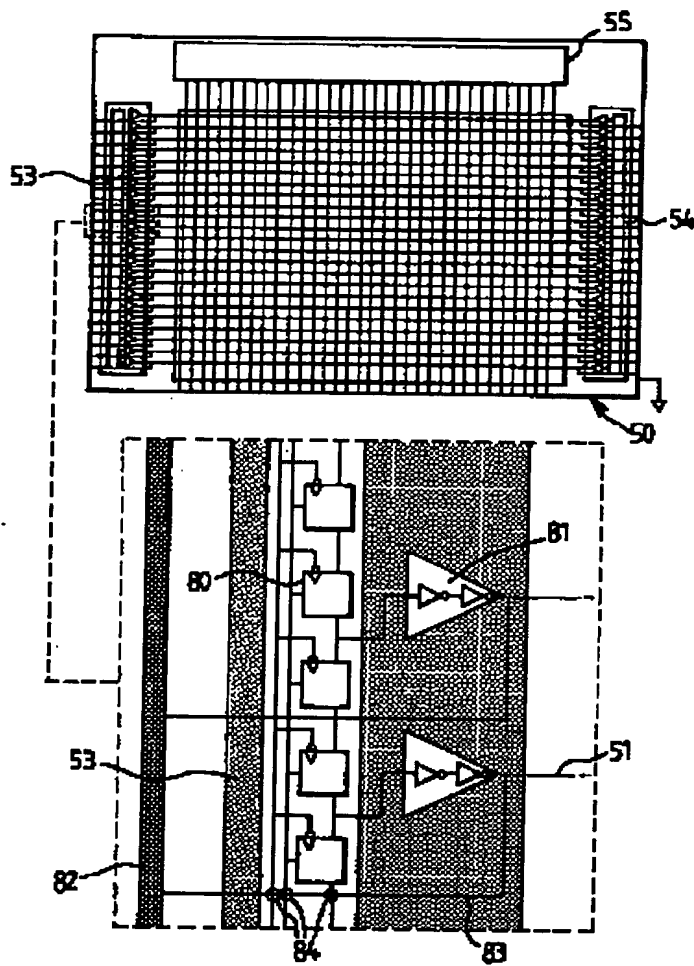
도면 13b



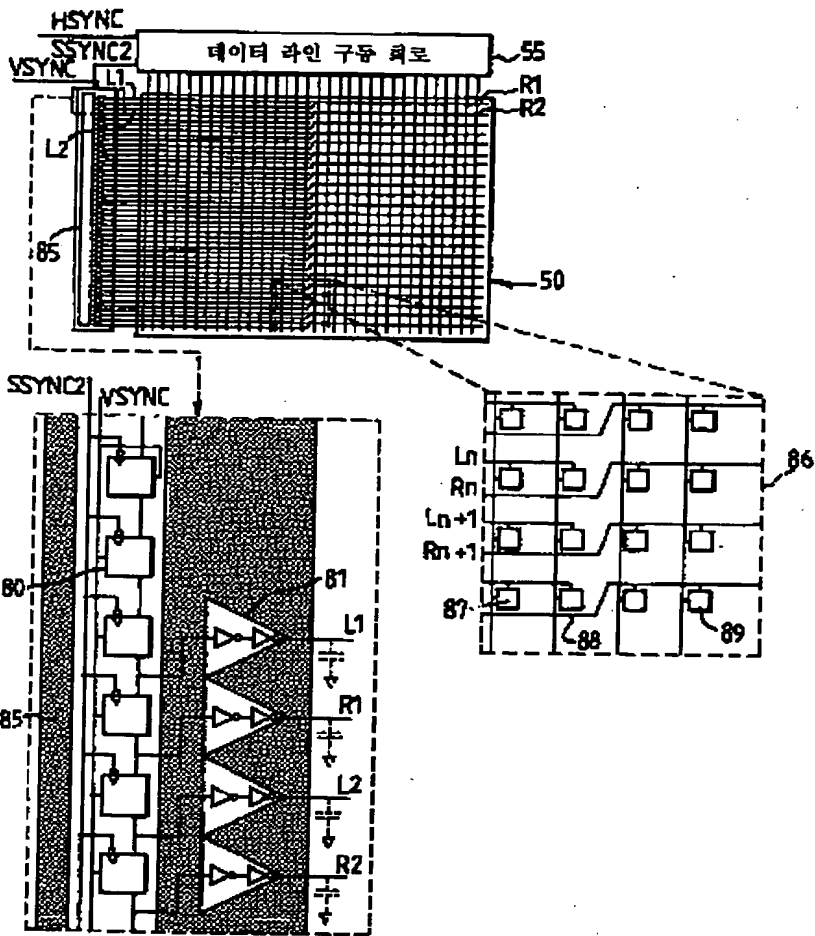
도면 14



도면 15

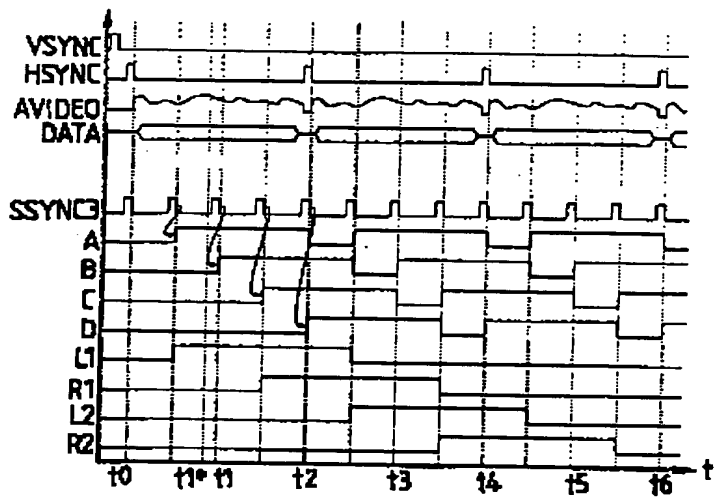


도면 10



도면 17





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.